

106 26957



①⑨ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Off nl gungsschrift  
⑩ DE 41 25 199 A 1

⑤① Int. Cl.<sup>5</sup>:  
H 01 L 27/108  
H 01 L 21/72

②① Aktenzeichen: P 41 25 199.7  
②② Anmeldetag: 30. 7. 91  
②③ Offenlegungstag: 4. 2. 93

DE 41 25 199 A 1

⑦① Anmelder:  
Siemens AG, 8000 München, DE

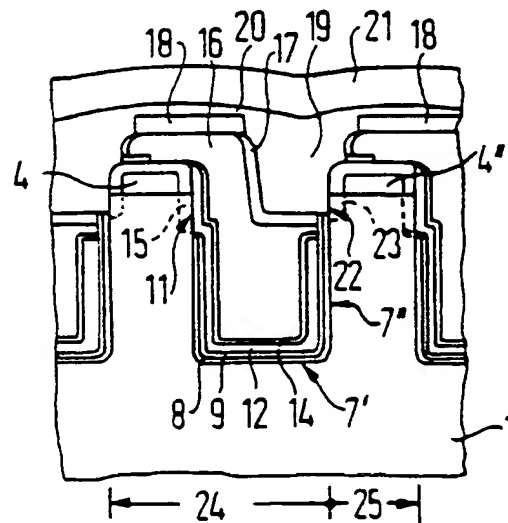
⑦② Erfinder:  
Melzner, Hanno, 8052 Feldkirchen, DE

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Kompakte Halbleiterspeicheranordnung und Verfahren zu deren Herstellung

⑤⑦ Kompakte Halbleiterspeicheranordnung und Verfahren zu deren Herstellung.

Die angegebene Anordnung weist Speicherzellen, bestehend aus MOS-Transistoren und Grabenkondensatoren auf, wobei der Graben (7) selbstjustiert zu primären Wortleitungen (4) und Isolationsgebieten (2) hergestellt wird. Beide Kondensatorelektroden sind innerhalb des Grabens angeordnet, die erste Elektrode ist über einen Kontakt an der Grabenwand an den Auswahltransistor angeschlossen. Eine teilweise über und teilweise in dem Graben verlaufende Bitleitung (20, 21), welche durch eine dritte und eine vierte isolierende Schicht (17, 18) von der zweiten Elektrode (16) isoliert ist, besitzt an dieser Stelle einen Kontakt zum leitenden Gebiet des benachbarten Auswahltransistors. Die Speichermatrix setzt sich aus in Richtung der Bitleitung verlaufenden Reihen von Speicherzellen zusammen, wobei die in derselben Reihe liegenden Speicherzellen den Auswahltransistor auf einer festgelegten Seite des Kondensators besitzen und in der benachbarten Reihe auf der entgegengesetzten Seite. Durch eine Zwei-Lagen-Metallisierung mit einer speziellen Anordnung von primären, sekundären und tertiären Wortleitungen (4', 40, 41) wird eine besonders hohe Bewertungssicherheit erreicht.



DE 41 25 199 A 1

Die Erfindung betrifft eine Halbleiterspeicheranordnung in einem Halbleitersubstrat mit Speicherzellen, jeweils bestehend aus einem Kondensator und einem MOS-Auswahltransistor.

Halbleiterspeicher bestehen aus einer Anzahl von Speicherzellen in einem z. B. aus Silizium bestehenden Halbleitersubstrat, die sich jeweils aus einem Kondensator zur Speicherung der Information und einem Transistor zur Auswahl des bestimmten Kondensators zusammensetzen. Um eine geringe Zugriffszeit und benötigte Fläche bei hohem Speicherangebot zu erreichen, muß die Integrationsdichte der Anordnung erhöht werden, d. h. der Platzbedarf einer Zelle muß minimiert werden. Eine lineare Verkleinerung aller Strukturen der Zelle ist jedoch nicht möglich, da beispielsweise der Kondensator aus Gründen der elektrischen Zuverlässigkeit eine bestimmte Kapazität nicht unterschreiten darf und beliebig feine Strukturen mit den zur Verfügung stehenden Techniken nicht erzeugt werden können. Statt dessen muß bei einer gegebenen Strukturfeinheit eine möglichst kleine Zelle erreicht werden, d. h. das Ziel ist eine möglichst kompakte Zelle. Ein Maß dafür, inwieweit eine Speicheranordnung diesem Ziel entspricht, ist die Größe  $c = \text{Zellfläche} / (\text{minimale Strukturgröße})^2$ ;  $c$  soll also möglichst klein werden.

Wird  $c$  kleiner als acht, so verhindern die zur Ansteuerung eines Transistors notwendigen Wortleitungen und Bitleitungen eine weitere Verkleinerung der Zelle, solange nur an jeder zweiten Kreuzung von Wort- und Bitleitung eine Zelle zu plazieren ist. Dies ist beim ausnahmslos verwendeten sogenannten folded-bitline-Schema der Fall. Bei Werten von  $c$  kleiner als acht wird es erforderlich, an jeder Kreuzung von Wort- und Bitleitung eine Zelle zu plazieren. Bei dieser Beschaltung kann jedoch nicht — wie beim folded-bitline-Schema — beim Auslesen einer Zelle eine Vergleichsmessung zweier benachbarter Bitleitungen durchgeführt werden, so daß die Bewertungssicherheit im allgemeinen geringer ist.

Zur Erzeugung einer möglichst kleinen Zelle ist beispielsweise aus EP-A 01 76 254 bekannt, den Kondensator in einem Graben im Halbleitersubstrat anzuordnen, wobei beide Elektroden des Kondensators in Form von leitenden Schichten und isoliert vom Halbleitersubstrat im Graben untergebracht werden. Eine solche Speicherzelle wird durch einen in der US-PS 49 18 500 vorgeschlagenen Seitenwandkontakt noch kompakter: Der Anschluß der ersten Kondensatorelektroden an ein leitendes Gebiet des Auswahltransistors erfolgt nicht an der Oberfläche des Halbleitersubstrats, sondern an der Grabenwand, indem eine die Grabenwand bedeckende Schicht, die die erste Elektrode vom Halbleitersubstrat isoliert, an einer Stelle in der Nähe der Grabenoberkante entfernt wird. Weitere Konzepte für höchstintegrierte Halbleiterspeicheranordnungen werden in dem Artikel von N. Lu in IEEE Circuits and Devices Magazine, Januar 1989, Seiten 27 bis 36 diskutiert.

Aufgabe der vorliegenden Erfindung ist es, eine Halbleiterspeicheranordnung anzugeben, wobei die einzelnen Speicherzellen bei einer vorgegebenen Strukturfeinheit einen minimalen Platzbedarf aufweisen. Weiter soll ein Verfahren zur Herstellung einer solchen Halbleiterspeicheranordnung angegeben werden, das einfach und gut reproduzierbar ist. Die Anordnung soll eine hohe Bewertungssicherheit beim Betrieb aufweisen.

Diese Aufgabe wird durch eine Anordnung gemäß Patentanspruch 1 und ein Verfahren gemäß Patentanspruch 10 gelöst. Weiterbildungen der Erfindung sind Gegenstand von Unteransprüchen.

Die Erfindung beruht auf

- einer selbstjustierten Technik zur Erzeugung des Kondensatorgrabens, wodurch die sonst üblichen Abstände zwischen Graben Graben und Transistor und zwischen Graben und lateraler Isolation entfallen,
- einem vertikalen Kontakt zwischen Bitleitung und einem leitenden Gebiet des Auswahltransistors, der an der Grabenwand angeordnet ist,
- einer speziellen Anordnung der Wortleitungen unter Verwendung von primären, sekundären und tertiären Wortleitungen, wodurch eine dem folded-bitline-Schema vergleichbare Bewertungssicherheit erreicht wird.

Die vorgeschlagene Zelle weist den Wert  $c = 6$  auf und bietet für eine weitere Verkleinerung optimale Voraussetzungen. Sie ist für höchstintegrierte Halbleiterspeicher wie den 64M-DRAM einsetzbar.

Die Erfindung wird nachfolgend anhand eines in den Zeichnungen dargestellten Ausführungsbeispiels näher beschrieben. Es zeigen:

Fig. 1 eine Aufsicht auf und

Fig. 2 bis 7 einen Querschnitt durch ein Halbleitersubstrat im Bereich von Speicherzellen in schematischer Darstellung, an dem die Schritte einer Ausführungsform des Verfahrens verdeutlicht werden, wobei der Schnitt entlang der Linie II-II in Fig. 1 verläuft.

Fig. 8 zeigt eine Aufsicht auf die Speichermatrix mit einer vorteilhaften Anordnung der Speicherzellen,

Fig. 9 zeigt eine Aufsicht auf die Speicheranordnung mit einer vorteilhaften Anordnung von Wortleitungen.

Fig. 1: In einem Halbleitersubstrat 1 werden Isolationsgebiete 2 erzeugt, die im wesentlichen streifenförmig verlaufen und der lateralen Isolation der zwischen diesen Isolationsgebieten 2 herzustellenden Speicherzellen dienen. Vorzugsweise werden die Isolationsgebiete 2 als vergrabene Oxid-Gebiete, beispielsweise nach dem in dem Artikel von G. Zeller, F. Stelz, Tagungsband ESSDERC 89, Seiten 135 — 138 beschriebenen Verfahren erzeugt, so daß sie bei einer Tiefe von etwa 600 nm im wesentlichen vertikale Flanken aufweisen und ihre Oberflächen in einer Ebene mit der Oberfläche des Halbleitersubstrats 1 liegen.

Fig. 2: Auf der gesamten Oberfläche 3 des Halbleitersubstrats 1 wird ein Gateoxid (nicht dargestellt) erzeugt, anschließend wird ganz flächig eine Schicht zur Bildung eines Gates 4 des Auswahltransistors und einer primären Wortleitung (4') abgeschieden, beispielsweise dotiertes Polysilizium von etwa 250 nm Dicke. Darauf wird eine Isolationsschicht 5 vorzugsweise durch pyrolytische Zersetzung von Tetraethylorthosilikat (TEOS) abgeschieden (im folgenden als TEOS-Schicht 5 bezeichnet) und mit Hilfe einer Fototechnik zu einer Bahn strukturiert. Mit der strukturierten TEOS-Schicht 5 als Maske wird die Polysilizium-Schicht strukturiert, so daß eine etwa senkrecht zu den streifenförmigen Isolationsgebieten 2 verlaufende primäre Wortleitung (4') erzeugt wird; dabei stellt ein über dem Halbleitersubstrat 1 verlaufender Teil gleichzeitig das Gate 4 dar. Es wird ein Ätzprozeß mit einer genügend hohen Selektivität zum Gateoxid und zum vergrabenen Oxid 2 eingesetzt. Die primäre Wortleitung und das Gate 4 werden zur Isolierung

seitlich mit Spacern 6 eingekapselt, die üblicherweise durch eine weitere TEOS-Abscheidung von etwa 100 nm und einen anisotropen Rückätzprozeß hergestellt werden; die Oberfläche von Wortleitung und Gate 4 sind bereits mit TEOS 5 abgedeckt.

Mit Hilfe weiterer Fototechniken werden nun leitende Gebiete (Source und Drain) der Transistoren implantiert, insbesondere der Transistoren in der Peripherie der Schaltung. Die leitenden Gebiete des Auswahltransistors können auch in einem späteren Verfahrensschritt erzeugt werden.

Für die vorstehend beschriebenen Verfahrensschritte können Prozesse eingesetzt werden, die in der Halbleitertechnologie üblich sind. So ist beispielsweise bekannt, zur Erzielung einer kurzen Gatelänge die Breite der TEOS-Bahn 5 durch eine Naßätzung vor der Strukturierung der Polysilizium-Schicht unter die von der Fototechnik gesetzte Grenze zu verringern. Üblich ist ferner ein Oxidationsschritt zur Verrundung der unteren Gatekanten.

Die Erfindung sieht nun vor, einen Kondensatorgraben 7 selbstjustiert zu den bereits erzeugten Strukturen, d. h. zu den Isolationsgebieten 2 sowie zu den mit der TEOS-Schicht 5 und den Spacern 6 eingekapselten primären Wortleitungen bzw. Gates 4 (mit 4'' ist ein benachbartes Gate bezeichnet), in dem Halbleitersubstrat 1 herzustellen. Es wird ein anisotroper Ätzprozeß eingesetzt, der das Material der erwähnten Strukturen, nämlich Siliziumdioxid und TEOS, in ausreichendem Maße langsamer ätzt als das freiliegende Halbleitersubstrat 1. Die TEOS-Schicht 5 und die Spacer 6 müssen nach dem Ätzprozeß noch eine ausreichende Isolation darstellen. Der so hergestellte Graben 7 zur Aufnahme des Kondensators hat einen im wesentlichen rechteckigen Querschnitt.

**Fig. 3:** Zur Isolation gegenüber dem Halbleitersubstrat 1 wird auf die Oberfläche des Grabens 7, die aus einem Boden 7' und einer zur Halbleitersubstrat-Oberfläche 3 im wesentlichen senkrechten Wand 7'' besteht, eine erste isolierende Schicht 8, 9 aufgebracht. In diesem Ausführungsbeispiel besteht die erste isolierende Schicht aus einer Doppelschicht mit einer ca. 20 nm dicken Siliziumoxid-Schicht 8 und einer ganzflächig abgeschiedenen, ca. 30 nm dicken Siliziumnitrid-Schicht 9 als Komponenten. Eine strukturierte Fotolackschicht 10 legt eine Seite der Grabenwand 7'' in der Nähe der Grabenoberkante bis in eine bestimmte, über die Belichtungszeit bei der Strukturierung einstellbare Tiefe frei. Mindestens die gegenüberliegende Seite der Grabenwand 7'' und der Boden sind mit Lack 10 bedeckt. Die erste isolierende Schicht 8, 9 wird an der freiliegenden Stelle entfernt, so daß eine erste Öffnung in der ersten isolierenden Schicht 8, 9 gebildet wird; dabei darf das TEOS 5, 6 der Gate-Einkapselung nur geringfügig angegriffen werden. Die nun freiliegende Stelle des Halbleitersubstrats 1 im oberen Bereich der Grabenwand 7'' ermöglicht einen späteren Kontakt zwischen einer Kondensatorelektrode und einem leitenden Gebiet des Auswahltransistors und stellt den sogenannten Grabenkontakt 11 dar. Er definiert den zum Graben 7 zugehörigen Auswahltransistor, der in der Fig. 3 auf der linken Seite des Grabens liegt.

**Fig. 4:** Die strukturierte Fotolackschicht 10 wird entfernt. Zur Bildung einer ersten Elektrode 12 des Kondensators wird eine erste Elektrodenschicht 12' hergestellt. Dazu kann beispielsweise eine etwa 30 nm dicke dotierte Polysilizium-Schicht abgeschieden werden, die anschließend durch eine anisotrope Rückätzung minde-

stens oberhalb der TEOS-Bahn 5 entfernt wird. Hierdurch wird die erste Elektrodenschicht 12' erzeugt, aus der später die erste Elektrode 12 gebildet wird. Bei der Rückätzung kann der Graben 7 teilweise mit einem Lackstöpsel 13 aufgefüllt werden, welcher die durch die unterliegende erste isolierende Schicht 8, 9 erzeugte Stufe in der ersten Elektrodenschicht 12' am Grabenkontakt 11 bedeckt. Dadurch wird die erste Elektrodenschicht 12' an dieser Stufe nicht angegriffen und bedeckt außerdem auch den Grabenboden 7'. Der Lackstöpsel 13 kann beispielsweise mit einer Lackrückbelichtung (d. h. ganzflächige Belichtung und Entwickeln) in den Graben gebracht werden; nach der Rückätzung wird er entfernt. Die so hergestellte erste Elektrodenschicht 12' ist noch mit der ersten Elektrodenschicht in einem in Richtung der primären Wortleitung (4') benachbarten Graben verbunden, und zwar über den oberhalb der Substratoberfläche 3, seitlich am TEOS-Spacer 6 liegenden Teil der ersten Elektrodenschicht 12'.

**Fig. 5:** Mit Hilfe einer Fototechnik wird die erste Elektrodenschicht 12' so strukturiert, daß in jedem Graben eine erste Elektrode 12 liegt. Aufgrund der erfindungsgemäßen Speichermatrix kann dies einfach durchgeführt werden: Die (nicht dargestellte) Fototechnik definiert auf der der ersten Öffnung (dem Grabenkontakt 11) gegenüberliegenden Seite der Grabenwand 7'' in der Nähe der Grabenoberkante eine zweite Öffnung. An dieser Stelle wird die erste Elektrodenschicht 12' selektiv zur unterliegenden ersten isolierenden Schicht 8, 9 entfernt und besitzt so die zweite Öffnung. Die Seite der Grabenwand 7'', an welcher die erste Öffnung angeordnet ist, ist während dieses Prozeßschritts mit Fotolack bedeckt. Um die Trennung von den erwähnten benachbarten ersten Elektroden zu gewährleisten, muß die zweite Öffnung in Wortleitungsrichtung mindestens die in Fig. 8 dargestellten Ausmaße (32) aufweisen, d. h. den gesamten Graben beidseitig bis zu den Isolationsgebieten 2 überdecken; in der dazu senkrechten Richtung muß die vollständige Entfernung der ersten Elektrodenschicht 12' oberhalb der Substratoberfläche 3 und auch in der Nähe der Grabenoberkante sichergestellt sein. Aufgrund verfahrenstechnischer Randbedingungen, insbesondere Auflösungsvermögen und Justierfehler bei der Fototechnik, muß das in Fig. 8 mit 32 bezeichnete Gebiet i. a. größer gewählt werden. Die zweite Öffnung in der ersten Elektrodenschicht 12' reicht vorteilhafterweise bis zu einer Tiefe von etwa 500 nm unterhalb der Substratoberfläche 3, dies kann wie bei der Herstellung der ersten Öffnung gesteuert werden.

Nach Entfernen der erwähnten Fotolackschicht wird als Kondensator-Dielektrikum eine zweite isolierende Schicht 14 mindestens auf der ersten Elektrode 12 erzeugt, beispielsweise eine sogenannte ONO-Schicht. Durch die dabei auftretenden hohen Temperaturen findet eine Ausdiffusion von Dotierstoffen aus der ersten Elektrode 12 durch die erste Öffnung hindurch, d. h. über den Grabenkontakt 11, in das Halbleitersubstrat 1 statt, so daß dort ein leitendes Gebiet 15 des Auswahltransistors erzeugt wird. Anschließend wird in den Graben eine zweite Elektrodenschicht 16' zur Bildung einer zweiten Elektrode 16 gebracht; üblicherweise wird dabei der gesamte Graben 7 mit Hilfe einer dicken dotierten Polysilizium-Schicht aufgefüllt, die dann wieder etwas zurückgeätzt wird. Dabei werden auch die Bereiche zwischen den primären Wortleitungen über den Isolationsgebieten 2 aufgefüllt.

**Fig. 6:** Die nun vorliegende weitgehend eingeebnete Oberfläche wird mit einer weiteren (vierten) isolieren-

den Schicht 18 abgedeckt, dazu wird eine etwa 200 nm dicke TEOS-Schicht abgeschieden. Die TEOS-Schicht 18 wird so strukturiert, daß sie als Maske für die Erzeugung eines Bitleitungs-Kontakts geeignet ist: Die Grabenwand mit dem Grabenkontakt 11 wird durch die TEOS-Schicht 18 abgedeckt, während auf der Seite des Grabens, welche die zweite Öffnung in der ersten Elektrodenschicht 12' aufweist, die zweite Elektrodenschicht 16' mindestens teilweise freiliegt. Aus der zweiten Elektrodenschicht 16' wird nun eine zweite Elektrode 16 hergestellt, indem ein Bitleitungs-Kontaktloch 19 anisotrop geätzt wird bis in eine Tiefe, die unterhalb der Substratoberfläche 3 und vorzugsweise oberhalb der Oberkante der ersten Elektrode 12 an dieser Stelle liegt, wie der Fig. 6 zu entnehmen ist. Die zweite Elektrodenschicht 16' weist also wie die erste Elektrodenschicht eine zweite Öffnung auf, die im wesentlichen an der gleichen Stelle der Grabenwand 7'' liegt und sich bis in eine geringere Tiefe im Graben erstreckt. An dieser Stelle der Grabenwand 7'' liegt nun Siliziumnitrid 9 frei.

Auf der freiliegenden Oberfläche der zweiten Elektrode 16 wird eine dritte isolierende Schicht 17 erzeugt, vorzugsweise durch einen Oxidationsprozeß. Die Dicke der so gebildeten Siliziumoxid-Schicht 17 beträgt etwa 80 nm. Das freiliegende Nitrid 9 schützt diese Stelle der Grabenwand, den späteren Bitleitungs-Kontakt, vor der Oxidation.

Fig. 7: In der Figur ist außer der in Rede stehenden Speicherzelle 24 noch der Auswahltransistor 25 der rechts benachbarten Speicherzelle dargestellt. Das an der Grabenwand 7'' im Bereich der zweiten Öffnung freiliegende Siliziumnitrid 9 und das unterliegende Siliziumoxid 8 werden beispielsweise durch Naßätzprozesse entfernt, so daß in der ersten isolierenden Schicht 8, 9 eine zweite Öffnung erzeugt wird, die an der gleichen Stelle wie die zweite Öffnung in der zweiten Elektrodenschicht 16' liegt. An dieser Stelle liegt nun die ursprüngliche Grabenwand 7'' frei. Die erste isolierende Schicht 8, 9 besitzt also die erste und die zweite Öffnung, während die zweite isolierende Schicht 14 und beide Elektrodenschichten jeweils nur die zweite Öffnung aufweisen. Die zweite Öffnung in der ersten Elektrodenschicht 12' reicht i.a. bis in eine größere Tiefe im Graben (d. h. die Oberkante der ersten Elektrode 12 liegt tiefer) als die übrigen zweiten Öffnungen, damit bei dem zuletzt erwähnten Naßätzprozeß das Kondensatordielektrikum 14 nicht angegriffen werden kann. Bei einer hohen Selektivität des Ätzprozesses, mit dem die zweite Öffnung in der ersten isolierenden Schicht 8, 9 hergestellt wird, zum Material des Dielektrikums 14, kann diese Bedingung entfallen. Anschließend wird die Bitleitung 20, 21 erzeugt, wobei im Bereich der zweiten Öffnung ein Bitleitungskontakt 22 gebildet wird. Üblicherweise wird zunächst ganzflächig eine etwa 500 nm dicke Polysilizium-Schicht 20 abgeschieden und auf etwa 100 nm rückgeätzt, wodurch bereits eine weitgehende Auffüllung des Bitleitungslochs 19 erreicht wird. Darüber wird als geeignetes Bitleitungs-Material beispielsweise Molybdän-Silizium 21 aufgebracht und zusammen mit der Polysilizium-Schicht 20 zur Bitleitung strukturiert. Die Bitleitung 20, 21 verläuft dann über dem Graben bzw. im Bereich des Bitleitungskontaktlochs 19 teilweise im Graben 7. Durch Ausdiffusion aus der Bitleitung 20, 21 über den Bitleitungskontakt 22, beispielsweise bei einer nachfolgenden Temperung zur Silizierung des Molybdäns, wird ein zweites leitendes Gebiet 23 gebildet. Im Bereich der zweiten Öffnung besteht nun der Bitleitungskontakt 22 zwischen der Bit-

leitung 20, 21 und dem zweiten leitenden Gebiet 23 (beispielsweise Drain) des Auswahltransistors der (in der Figur rechts) benachbarten Speicherzelle. Der Bitleitungskontakt einer Speicherzelle ist also immer im Graben bzw. an der Grabenwand einer in Bitleitungsrichtung (hier links) benachbarten Speicherzelle angeordnet.

Die dritte und die vierte isolierende Schicht 17, 18 stellen die Isolation der zweiten Elektrode 16 gegenüber der Bitleitung 20, 21 dar. Statt dessen ist es auch möglich, das Bitleitungsloch 19 und die zweite Öffnung in der zweiten Elektrodenschicht 16' direkt mit Hilfe einer Fototechnik, ohne Verwendung einer vierten isolierenden Schicht 18, zu erzeugen und nach Entfernen des Fotolacks die gesamte Oberfläche zu oxidieren oder auf andere Weise eine durchgehende dritte isolierende Schicht 17 zu erzeugen. Die zusätzliche Verwendung der vierten isolierenden Schicht 18 bestehend aus TEOS hat jedoch den Vorteil einer besseren Isolationswirkung, ferner können die Anforderungen an die Fototechnik geringer sein, da das Bitleitungs-Kontaktloch 19 durch evt. Bildung von TEOS-Spacern noch verkleinert werden kann. Schließlich kann dadurch ein größerer Abtrag der Schicht 18 bei der Strukturierung der Bitleitung in Kauf genommen werden.

Fig. 8: Die Aufsicht auf die Speichermatrix zeigt schematisch die Lage der Speicherzellen in Reihen zwischen den streifenförmigen Isolationsgebieten 2. Senkrecht zu den Bitleitungen 20, 21 verlaufen die mit TEOS 5, 6 eingekapselten primären Wortleitungen 4'. Das durch die Isolationsgebiete 2 und die TEOS-Abdeckung 5, 6 gebildete Raster stellt die Maske für die selbstjustierte Erzeugung der Gräben 7 dar.

Der Graben 7 einer Speicherzelle besitzt auf einer Seite den Grabenkontakt 11 zum Source-Gebiet seines Auswahltransistors, auf der gegenüberliegenden Seite ist der Bitleitungs-Kontakt 22 zwischen dem Auswahltransistor der benachbarten Speicherzelle und der Bitleitung 20, 21 angeordnet. Mit 7a, 11a und 22a sind der zu der in der Mitte liegenden Speicherzelle gehörende Graben, Grabenkontakt und Bitleitungskontakt bezeichnet.

Ferner sind schematisch drei Lithographieebenen angegeben:

- Mit einer Fotolackschicht, die mindestens die mit 31 bezeichneten Gebiete nicht bedeckt, wird die erste isolierende Schicht 8, 9 geätzt (vgl. Fig. 3, Fotolackschicht 10), so daß die erste Öffnung zur Herstellung des Grabenkontakts 11 entsteht.
- Mit einer weiteren Fotolackschicht, die mindestens die mit 32 bezeichneten Gebiete nicht bedeckt, wird die erste Elektrodenschicht 12' geätzt (Herstellung der zweiten Öffnung in der ersten Elektrodenschicht 12'), so daß in jedem Graben 7 eine von den übrigen getrennte erste Elektrode liegt (vgl. Fig. 4 und 5). In Richtung der Wortleitungen 4' müssen die Gebiete 32 jeweils mindestens bis zu den Isolationsstreifen 2 reichen.
- Mit einer weiteren Fotolackschicht, die mindestens die mit 33 bezeichneten Gebiete nicht bedeckt, wird das Bitleitungs-Kontaktloch 19 hergestellt durch Ätzen der vierten isolierenden Schicht 18 (vgl. Fig. 6), wodurch in nachfolgenden Schritten die zweite Öffnung in der zweiten Elektrodenschicht 16' und in der ersten isolierenden Schicht 8, 9 hergestellt und der Bitleitungs-Kontakt 22 erzeugt wird.

Die Öffnungen 32 und 33 können wie in Fig. 8 angegeben deckungsgleich sein, ihr Überlapp muß zumindest die Herstellung eines ausreichenden Bitleitungs-Kontaktes ermöglichen. Die Gebiete 31, 32, 33 können in anderer Form, insbesondere größer gewählt werden als in der Figur angegeben. Auch können sie sich teilweise überdecken. Meist müssen die Öffnungen in den Fotolackschichten größer gewählt werden, um Justierfehler, Auflösungsvermögen u. a. zu berücksichtigen. Es ist vorteilhaft, wenn die Gebiete 31 und/oder 32 und/oder 33 in der zweiten Richtung zu beiden Seiten der Isolationsgebiete 2 noch je zur Hälfte überdecken. Die Ausdehnung in der ersten Richtung wird meist durch das Auflösungsvermögen bestimmt; insbesondere Gebiet 32 kann aber aus Zuverlässigkeitsgründen auch so gewählt werden, daß es den Graben 7 etwa bis zur Hälfte überdeckt.

Aus der Fig. 8 ist weiterhin die erfinderische Anordnung der Speicherzellen in einer Speichermatrix zu erkennen:

– Die Speicherzellen sind in Reihen angeordnet, die parallel zu den Bitleitungen 20, 21 verlaufen (erste Richtung) und durch die streifenförmigen Isolationsgebiete 2 voneinander getrennt sind. Bei allen Speicherzellen in derselben Reihe ist der Auswahltransistor auf derselben Seite des zugehörigen Kondensators angeordnet, beispielsweise in der mit A-A bezeichneten Reihe liegen alle Auswahltransistoren links vom zugehörigen Kondensator. Eine solche Reihe ist auch in den Fig. 2 bis 7 im Querschnitt dargestellt. Dementsprechend befindet sich an der linken Grabenoberkante der Grabenkontakt 11, an der rechten Grabenoberkante der Bitleitungs-Kontakt 22 der benachbarten Speicherzelle. In einer benachbarten Reihe von Speicherzellen ist diese Orientierung umgekehrt: Alle Auswahltransistoren befinden sich rechts vom zugehörigen Kondensator, Grabenkontakt 11 und Bitleitungs-Kontakt 22 sind entsprechend vertauscht. In Richtung der Wortleitungen 4' (zweite Richtung) befinden sich alle Auswahltransistoren in einer Reihe, ebenso alle Gräben 7.

Diese Speichermatrix ist besonders vorteilhaft zur Erzielung einer möglichst kompakten Zelle. Sie stellt nur geringe Anforderungen an die verwendete Fototechnik, die Separierung der ersten Elektroden in verschiedenen Gräben voneinander ist einfach möglich. An jeder Kreuzung von Wortleitung und Bitleitung entsteht eine Speicherzelle. Typische Werte für die Größe einer solchen Speicherzelle sind:

Wortleitungs-Raster: 2,1 µm, Wortleitungs-Breite: 0,7 µm Bitleitungs-Raster: 1,4 µm, Bitleitungs-Breite: 0,7 µm Kondensatorgraben: 1,4 µm · 0,7 µm, Grabentiefe: 3 µm, Zellfläche: 2,94 µm<sup>2</sup>, c = 6.

Ein Vorteil des erfinderischen Verfahrens ist seine einfache Integrationsmöglichkeit mit anderen üblichen Verfahren bei der Herstellung von höchstintegrierten Schaltungen. Beispielsweise kann bei Transistoren in der Peripherie der Bitleitungs-Kontakt nach dem "FO-BIC"-Konzept hergestellt werden, wenn nach der Implantation der Peripherie-Transistoren in der Peripherie eine dünne Nitridschicht und darauf ein verfließendes Zwischenoxid erzeugt werden (s. Küsters et al., Proc. of the 1987 Symposium on VLSI Technology, Nagano, Japan, S. 93–94). Nach der Erzeugung der dritten isolierenden Schicht wird dann in der Peripherie über dem zu

kontaktierenden Transistor ein Loch in das Zwischenoxid bis zur unterliegenden dünnen Nitridschicht geätzt. Gleichzeitig mit der Herstellung des Bitleitungs-Kontakts im Speicherfeld (Entfernen der ersten isolierenden Schicht 8, 9 am Bitleitungs-Kontakt 22) kann der Bitleitungs-Kontakt in der Peripherie durch Entfernen der dünnen Nitridschicht geöffnet werden.

Fig. 9: Zur Erhöhung der Bewertungssicherheit sind außer den bereits erläuterten primären Wortleitungen 4' aus Polysilizium sekundäre Wortleitungen 40 und tertiäre Wortleitungen 41 vorgesehen, die in überliegenden Metallisierungsebenen angeordnet sind. Aus Gründen der Übersichtlichkeit ist die sekundäre Wortleitung 40 schmaler dargestellt als die tertiäre Wortleitung 41.

Durch eine im folgenden erläuterte spezielle Anordnung und ein spezielles Verdrahtungskonzept von primärer, sekundärer und tertiärer Wortleitung 4', 40, 41 wird eine dem Folded-Bitleitungs-Schema ähnliche Beschaltung der Speicherzellen erreicht: Die sekundäre Wortleitung 40 und die tertiäre Wortleitung 41 verlaufen abwechselnd in einer ersten und einer darüberliegenden zweiten Metallisierungsebene, wobei sie verdrillt sind: Beispielsweise verläuft die sekundäre Wortleitung 40 über eine Länge X in der ersten Metallisierungsebene (in der Figur gestrichelt dargestellt), wird dann über ein sogenanntes Via 42 in die zweite Metallisierungsebene hochgeführt, verläuft über eine im allgemeinen gleichlange Strecke in der zweiten Metallisierungsebene (durchgezogene Linie) und wird dann über ein weiteres Via wieder in die erste Metallisierungsebene geführt. Die tertiäre Wortleitung 41 verläuft komplementär zur sekundären Wortleitung, d. h. im wesentlichen parallel zu ihr und bis auf die Umgebung der Vias in der jeweils anderen Metallisierungsebene; über ein Via 43 wird sie von der zweiten in die erste Metallisierungsebene geführt. An den Vias 42, 43 muß für einen kreuzungsfreien Wechsel der Wortleitungen in die jeweils andere Ebene gesorgt werden, was bei der in der Fig. 9 angegebenen Anordnung von Vias und Wortleitungen erreicht wird und zur Verdrillung von sekundärer und tertiärer Wortleitung 40, 41 führt. In der ersten Metallisierungsebene liegt also abwechselnd jeweils über die Länge X die sekundäre 40 und die tertiäre Wortleitung 41 vor.

Die primäre Wortleitung 4' (nicht dargestellt) wird in der Polysiliziumschicht nicht durchgehend, sondern in Abschnitten angelegt, die jeweils beispielsweise über 16 Zellen laufen. Vorzugsweise in der Mitte eines solchen Abschnitts befindet sich ein Kontakt 44, 45 zur überliegenden ersten Metallisierungsebene, d. h. also entweder zur sekundären 40 oder tertiären Wortleitung 41. Die primäre Wortleitung (bzw. ihre Abschnitte) verläuft zwischen zwei solchen Kontakten 44, 45 vorzugsweise geradlinig. Zwischen den Kontakten 44, 45 zweier in Wortleitungs-Richtung benachbarter primärer Wortleitungs-Abschnitte ist (in den darüber liegenden Metallisierungsebenen) der kreuzungsfreie Wechsel der sekundären und tertiären Wortleitung in die jeweils andere Metallisierungsebene angeordnet, so daß von zwei in Wortleitungs-Richtung benachbarten primären Wortleitungs-Abschnitten der eine mit der sekundären Wortleitung 40 über den Kontakt 44, der andere mit der tertiären Wortleitung 41 über den Kontakt 45 verbunden ist. Die Länge x hängt also mit der Länge der primären Wortleitungs-Abschnitte zusammen, im einfachsten Fall sind diese beiden Größen etwa gleich. Aus Gründen der Übersichtlichkeit sind die Vias und Kontakte entsprechend den Wortleitungen in verschiedener Größe

dargestellt.

Wird nun die sekundäre Wortleitung 40 oder die tertiäre Wortleitung 41 angesprochen, so wird nur ein solcher Abschnitt der primären Wortleitung angesprochen, über dem diese Wortleitung in der ersten Metallisierungsebene läuft; damit werden nun die 16 Zellen ausgelesen, die in diesem Abschnitt liegen. Die benachbarten 16 Zellen werden nicht angesprochen. Es wird zum Bewerten des Signals eine Bitleitung des angesprochenen Abschnitts mit einer des benachbarten Abschnitts verglichen. Als Referenz-Bitleitung beim Auslesen einer Zelle dient also nicht die jeweils nächste oder übernächste Bitleitung wie sonst üblich, sondern in diesem Ausführungsbeispiel die jeweils sechzehnte. An den Leseverstärkern ist eine Zusammenführung dieser Bitleitungen beispielsweise über Metallbrücken erforderlich.

Der Kontakt 44, 45 zwischen primärer Wortleitung und sekundärer Wortleitung sowie das Via 42, 43 beim Wechsel einer sekundären oder tertiären Wortleitung in die andere Metallisierungsebene soll möglichst wenig Platz beanspruchen. Vorteilhaft sind daher solche Ausführungsformen, bei denen die elektrisch zu verbindenden Leitungen an der Verbindungsstelle nicht verbreitert werden; solche Verbindungen werden als non-nested/non-capped bezeichnet, wenn keine der beiden Leitungen verbreitert wird. Realisieren lassen sich solche Verbindungen beispielsweise durch mit Wolfram aufgefüllte Kontaktlöcher zwischen primärer und sekundärer Wortleitung und durch mit Wolfram aufgefüllte Vias zwischen sekundärer und tertiärer Wortleitung. Ein Kontakt 44 zwischen primärer und sekundärer Wortleitung ist vorzugsweise über einem Isolationsgebiet 2 (vgl. Fig. 8) und nicht über dem Auswahltransistor angeordnet; hierzu kann es erforderlich sein, daß der unter einem Kontakt 44 liegende Streifen des Isolationsgebietes 2 eine größere Breite, beispielsweise 1,6 µm bei oben genannten Rastern bzw. Strukturgrößen, aufweist, als die Streifen des Isolationsgebietes 2, über denen kein Kontakt 44 angeordnet ist. Ebenso kann es erforderlich sein, an der Trennstelle zweier Abschnitte der primären Wortleitung den unterliegenden Streifen des Isolationsgebietes 2 zu verbreitern, etwa auf 1,2 µm.

Der für ein Via 42, 43, d. h. für den Wechsel der sekundären oder tertiären Wortleitung in die jeweils andere Metallisierungsebene erforderliche Platz bestimmt, wie kurz die Abschnitte der primären Wortleitung sein dürfen, und damit, wie weit die zu vergleichenden Bitleitungen auseinanderliegen. Um die Anzahl der notwendigen Bitdekoder zu reduzieren, ist es vorteilhaft, eine zusätzliche Auswahlleitung 46 (sog. column-select-Leitung), die mit einem zentralen Vordekodierer und mit einem Leseverstärker verbunden ist, in der Halbleiterspeicheranordnung vorzusehen. Die Auswahlleitung 46 kann in der zweiten Metallisierungsebene angeordnet werden, wenn die in Fig. 9 dargestellte spezielle Anordnung der sekundären und tertiären Wortleitungen 40, 41, der Kontakte 44, 45 und der Vias 42, 43 bei einer Länge der primären Wortleitungs-Abschnitte von 16 Zellen gewählt wird. Dazu ist es im allgemeinen, beispielsweise bei den angegebenen Dimensionierungen, nicht erforderlich, den Abstand der Kontakte 44 in Bitleitungsrichtung (erste Richtung) zu vergrößern, dieser Abstand ist durch die angegebenen Ausmaße des Grabens 7 festgelegt. Der Einsatz der in Bitleitungsrichtung verlaufenden Leitungen kann je nach Schaltungskonzept auch zu einem anderen Zweck erfolgen, nicht nur als Auswahlleitungen im obigen Sinne.

# Patentansprüche

1. Halbleiterspeicheranordnung mit Speicherzellen in einem Halbleitersubstrat (1) jeweils bestehend aus einem Kondensator und einem MOS-Auswahltransistor mit folgenden Merkmalen:

- Eine aus einer ersten Elektrodenschicht (12') gebildete erste Elektrode (12) und eine aus einer zweiten Elektrodenschicht (161) gebildete zweite Elektrode (16) des Kondensators sind überwiegend in einem Graben (7) angeordnet,
- eine erste isolierende Schicht (8, 9), welche die aus Wand (7'') und Boden (7') bestehende Grabenoberfläche im wesentlichen bedeckt, isoliert die erste Elektrode (12) vom Halbleitersubstrat (1),
- eine zweite isolierende Schicht (14), welche mindestens die erste Elektrode (12) bedeckt, isoliert die zweite Elektrode (16) von der ersten Elektrode (12),
- durch eine erste Öffnung in der ersten isolierenden Schicht (8, 9) an einer Stelle der Grabenwand (7'') ist ein erstes leitendes Gebiet (15) des Auswahltransistors mit der ersten Elektrode (12) unter Bildung eines Grabenkontaktes (11) verbunden,
- mindestens eine dritte isolierende Schicht (17) isoliert die zweite Elektrode (16) von einer überliegenden und teilweise im Graben (7) verlaufenden Bitleitung (20, 21),
- an einer weiteren Stelle der Grabenwand (7'') befinden sich jeweils eine zweite Öffnung in der ersten und zweiten Elektrodenschicht (12'), (16') und in der ersten und zweiten isolierenden Schicht (8, 9), (14) derart, daß die an dieser Stelle im Graben (7) verlaufende Bitleitung (20, 21) durch die zweiten Öffnungen hindurch einen Bitleitungs-Kontakt (22) mit einem zweiten leitenden Gebiet (23) des Auswahltransistors (25) einer benachbarten Speicherzelle besitzt.

2. Halbleiterspeicheranordnung nach Anspruch 1, dadurch gekennzeichnet, daß der Graben (7) der Speicherzelle (24) selbstjustiert zu einem Gate (4) des Auswahltransistors, zum Gate (4'') des Auswahltransistors (25) der benachbarten Speicherzelle und zu einem verschiedenen Speicherzellen isolierenden Isolationsgebiet (2) angeordnet ist.

3. Halbleiterspeicheranordnung nach einem der Ansprüche 1 bis 2, dadurch gekennzeichnet, daß die erste Elektrode (12) mindestens die erste Öffnung und größtenteils die erste isolierende Schicht (8, 9) an der Grabenwand (7'') und am Grabenboden (7') bedeckt.

4. Halbleiterspeicheranordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die erste Elektrodenschicht (12') eine sich mit den übrigen zweiten Öffnungen im wesentlichen überdeckende, aber sich in größerer Tiefe im Graben erstreckende zweite Öffnung aufweist.

5. Halbleiterspeicheranordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die erste isolierende Schicht (8, 9) eine Doppelschicht bestehend aus Siliziumoxid (8) und darüberliegendem Siliziumnitrid (9) ist.

6. Halbleiterspeicheranordnung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß



der Bitleitungs-Kontakt (22) an einer dem Grabenkontakt (11) gegenüberliegenden Stelle der Grabenwand (7'') angeordnet ist.

7. Halbleiterspeicheranordnung nach einem der Ansprüche 1 bis 6, gekennzeichnet durch eine vierte isolierende Schicht (18), die den außerhalb des Grabens (7) verlaufenden Teil der Bitleitung (20, 21) von der zweiten Elektrode (16) isoliert.

8. Halbleiterspeicheranordnung nach einem der Ansprüche 1 bis 7, gekennzeichnet durch eine durch pyrolytische Zersetzung von Tetraethylorthosilikat (TEOS) hergestellte vierte isolierende Schicht (18) und eine aus Polysiliziumoxid bestehende dritte isolierende Schicht (17).

9. Verfahren zur Herstellung einer Halbleiterspeicheranordnung nach einem der Ansprüche 1 bis 8 mit folgenden Schritten:

- Herstellen von im wesentlichen streifenförmigen Isolationsgebieten (2) zur Isolierung verschiedener Speicherzellen voneinander,
- Herstellen einer primären Wortleitung (41) mit dem Gate (4) des Auswahltransistors,
- Herstellen eines Grabens (7) zur Aufnahme des Kondensators selbstjustiert zum Isolationsgebiet (2), zum Gate (4) und zum Gate (4'') eines benachbarten Auswahltransistors (25),
- Herstellen einer ersten isolierenden Schicht (8, 9) auf der Grabenwand (7'') und dem Grabenboden (7') mit einer ersten Öffnung in der ersten isolierenden Schicht in der Nähe der Grabenoberkante,
- Herstellen einer ersten Elektrode (12) durch Aufbringen einer ersten Elektrodenschicht (12') auf der ersten isolierenden Schicht (8, 9) und auf dem durch die erste Öffnung freigelegten Teil der Grabenwand (7'') und Erzeugen einer zweiten Öffnung in der ersten Elektrodenschicht (12'),
- Herstellen einer zweiten isolierenden Schicht (14) mindestens auf der ersten Elektrode (12),
- Auffüllen des Grabens (7) mit einer zweiten Elektrodenschicht (16'),
- Herstellen einer zweiten Elektrode (16) aus der zweiten Elektrodenschicht (16') durch Erzeugen einer zweiten Öffnung in der zweiten Elektrodenschicht (16'), welche mindestens teilweise die zweite Öffnung in der ersten Elektrodenschicht überdeckt,
- Herstellen mindestens einer dritten isolierenden Schicht (17) auf der freiliegenden Oberfläche der zweiten Elektrode (16),
- Entfernen der auf der Grabenwand (7'') im Bereich der zweiten Öffnung in der zweiten Elektrodenschicht (16') vorhandenen Schichten (8, 9, 14),
- Herstellen einer Bitleitung (20, 21), welche teilweise über und teilweise in dem Graben (7) verläuft und im Bereich der zweiten Öffnung an der Grabenwand einen Bitleitungs-Kontakt (22) zum zweiten leitenden Gebiet (23) des Auswahltransistors (25) der benachbarten Speicherzelle besitzt.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, daß die erste Elektrodenschicht (12') durch ganzflächige Abscheidung von Polysilizium und eine anisotrope Rückätzung hergestellt wird,

wobei der Graben (7) bis über die am Grabenkontakt (11) gebildete Stufe in der ersten leitenden Schicht mit Lack (13) aufgefüllt ist.

11. Verfahren nach einem der Ansprüche 9 bis 10, dadurch gekennzeichnet, daß nach Auffüllen des Grabens (7) mit der zweiten Elektrodenschicht (16') diese mit einer vierten isolierenden Schicht (18) abgedeckt wird.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, daß die vierte isolierende Schicht (18) mit einer Fototechnik so strukturiert wird, daß anschließend mit ihr als Maske die zweite Öffnung in die zweite Elektrodenschicht (16') geätzt wird.

13. Speichermatrix mit mindestens vier Speicherzellen einer Halbleiterspeicheranordnung nach einem der Ansprüche 1 bis 8, wobei die Speicherzellen folgendermaßen angeordnet sind:

- In einer ersten Richtung, die parallel zur Verbindungslinie zwischen Auswahltransistor und Kondensator verläuft, sind die Speicherzellen in Reihen angeordnet, die voneinander durch die Isolationsgebiete (2) getrennt sind,
- die in derselben Reihe liegenden Speicherzellen besitzen den Auswahltransistor auf einer festgelegten Seite des Kondensators,
- in der benachbarten Reihe ist der zugehörige Auswahltransistor auf der entgegengesetzten Seite des Kondensators angeordnet,
- in einer zweiten, zur ersten senkrecht verlaufenden Richtung sind die Auswahltransistoren in einer Reihe angeordnet,
- in der zweiten Richtung sind die Gräben (7) in einer Reihe angeordnet.

14. Halbleiterspeicheranordnung nach einem der Ansprüche 1 bis 8, 13 mit folgenden Merkmalen:

- in zwei überliegenden Metallisierungsebenen sind sekundäre (40) und tertiäre Wortleitungen (41) angeordnet, die jeweils abwechselnd in der ersten und in der zweiten Metallisierungsebene verlaufen,
- jeweils eine sekundäre (40) und eine tertiäre Wortleitung (41) sind in der ersten und zweiten Metallisierungsebene im wesentlichen übereinander und über einer primären Wortleitung (4') angeordnet und werden beim Wechsel in die jeweils andere Metallisierungsebene kreuzungsfrei aneinander vor beigeführt,
- die primäre Wortleitung (4') ist in Abschnitte unterteilt, wobei jeder Abschnitt über einen Kontakt (44, 45) mit der darüber in der ersten Metallisierungsebene verlaufenden Wortleitung (40, 41) verbunden ist.

15. Halbleiterspeicheranordnung nach Anspruch 14, dadurch gekennzeichnet, daß in einer Umgebung des kreuzungsfreien Wechsels die sekundäre und die tertiäre Wortleitung (40), (41) beide größtenteils in einer der beiden Metallisierungsebenen verlaufen und in der anderen Metallisierungsebene eine Auswahlleitung (46) angeordnet ist.

Hierzu 4 Seite(n) Zeichnungen

- Leerseite -



FIG 1

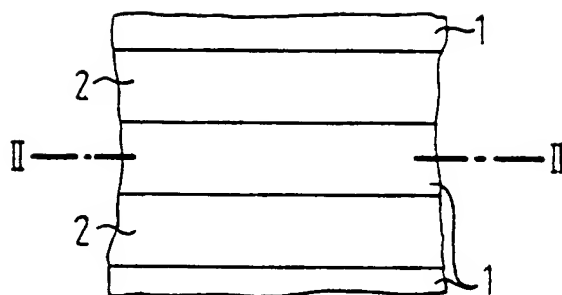


FIG 2

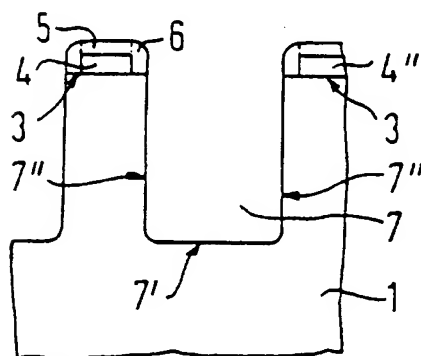


FIG 3

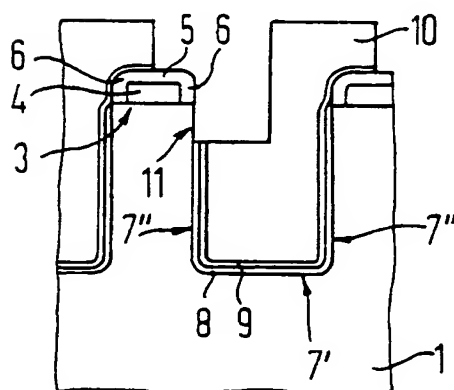


FIG 4

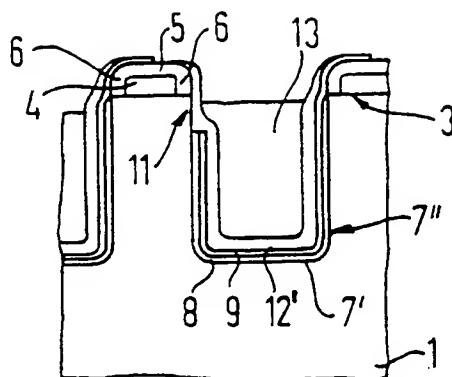


FIG 5

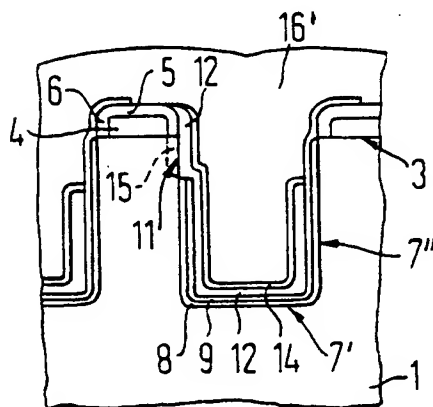


FIG 6

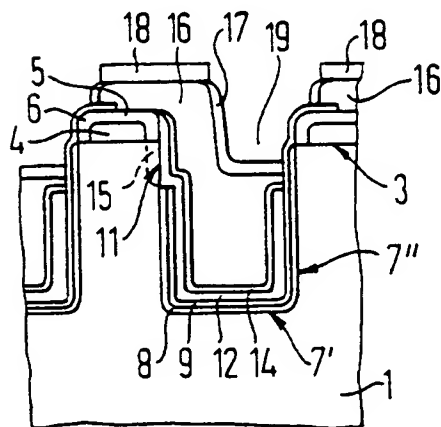


FIG 7

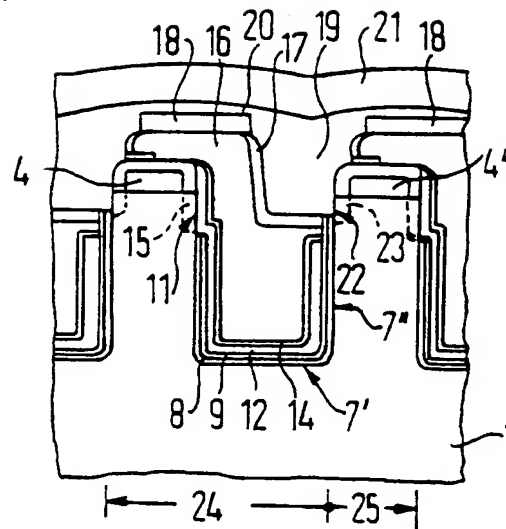


FIG 8

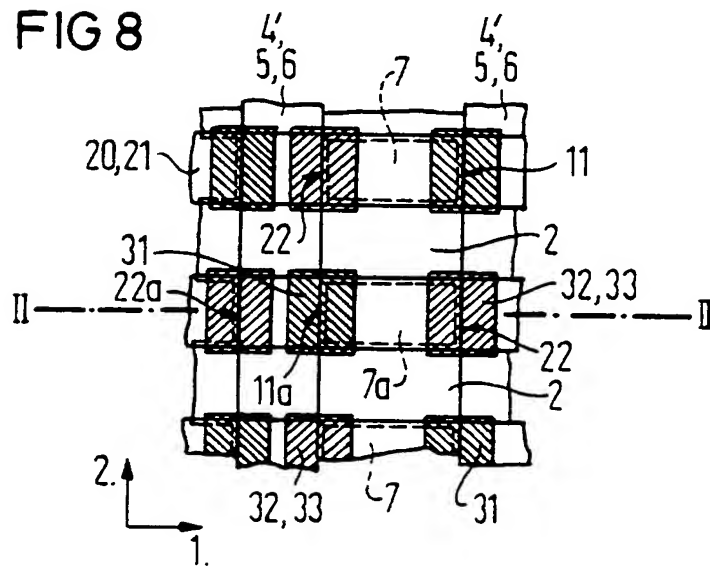
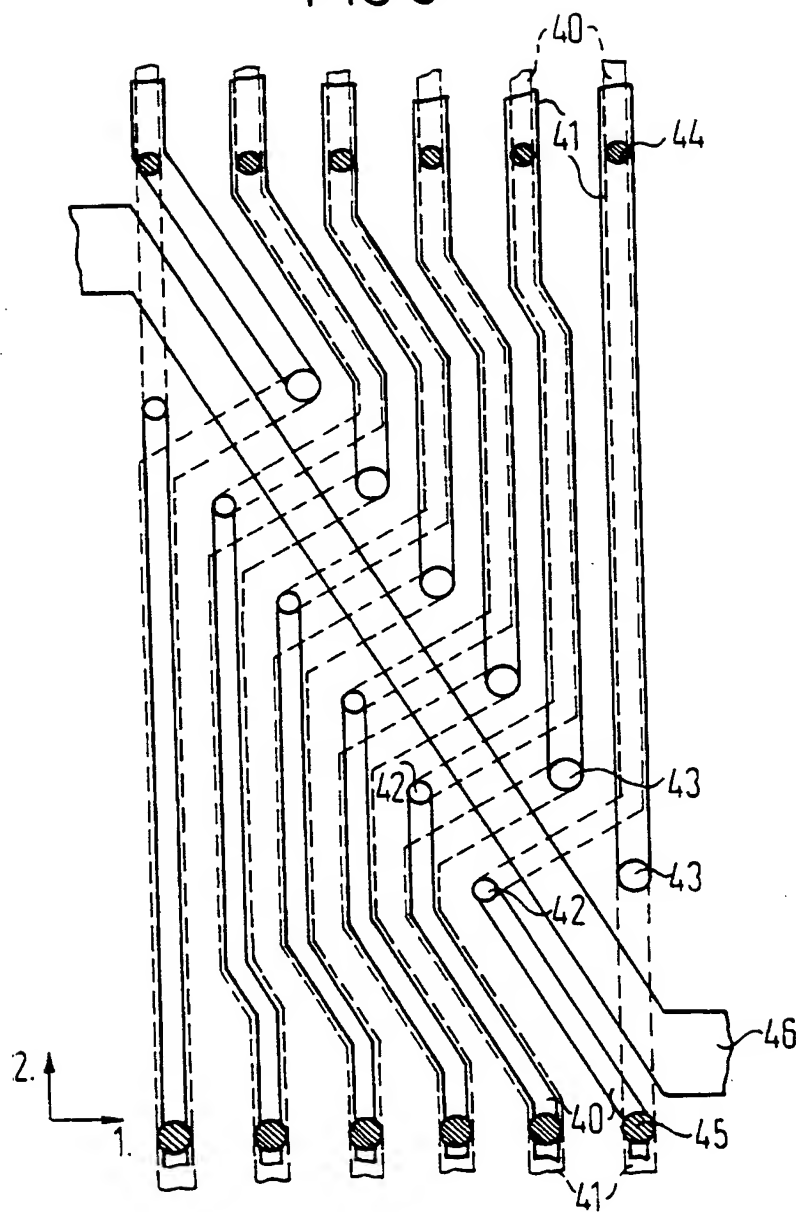


FIG 9



**Compact s miconductor storage arrang ment and method for its production**

Patent Number: US5378907  
Publication date: 1995-01-03  
Inventor(s): MELZNER HANNO (DE)  
Applicant(s): SIEMENS AG (DE)  
Requested Patent: DE4125199  
Application Number: US19940182187 19940126  
Priority Number (s): DE19914125199 19910730; WO1992EP01653 19920720  
IPC Classification: H01L29/68; H01L29/78  
EC Classification: H01L27/108F8  
Equivalents: EP0596975 (WO9303501), B1, HK99097, IE80400, IE922466, JP6509443T, KR273779, WO9303501

**Abstract**

PCT No. PCT/EP92/01653 Sec. 371 Date Jan. 26, 1994 Sec. 102(e) Date Jan. 26, 1994 PCT Filed Jul. 20, 1992 PCT Pub. No. WO93/03501 PCT Pub. Date Feb. 18, 1993. The arrangement has storage cells consisting of MOS transistors and trench capacitors, the trench (7) being produced in a self-adjusted manner with respect to primary word lines (4) and insulation regions (2). Both capacitor electrodes are arranged within the trench, the first electrode being connected via a contact on the trench wall to the selection transistor. A bit line (20,21), which runs partially above and partially in the trench and is insulated from the second electrode (16) by a third and a fourth insulating layer (17,18) has a contact at this point to the conductive region of the adjacent selection transistor. The storage matrix is composed of rows of storage cells running in the direction of the bit line, the storage cells located in the same row having the selection transistor on a defined side of the capacitor, and on the opposite side in the adjacent row. A particularly high assessment reliability is achieved by two-layer metallization with a specific arrangement of primary, secondary and tertiary word lines (4', 40, 41).

Data supplied from the esp@cenet database - I2

DOCKET NO: W&B-INF-1852

SERIAL NO: \_\_\_\_\_

APPLICANT: Michael Sommer

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100